

9-2 respectively. Namely, the common electrode potential is alternated between 9-6(a) and 9-6(b) in the polarity inverting cycle of a signal to drive the liquid crystal. Thus, satisfactory display can be obtained.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-177679

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月10日

H 04 N 5/66
G 09 F 9/30
G 09 G 3/36

1 0 2 B
3 3 8

7605-5C
6422-5C
8621-5C

審査請求 有 発明の数 1 (全10頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 平1-294638

⑰ 出 願 昭53(1978)8月22日

⑱ 特 願 昭63-211196の分割

⑲ 発 明 者 細 川 稔 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑲ 発 明 者 池 田 勝 幸 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑲ 発 明 者 矢 沢 悟 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社
⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称
液晶表示装置

2. 特許請求の範囲

(1) 一對の基板間に液晶が封入され、該基板の一方の基板上には、マトリクス状に配列された複數本の走査線と複數本の信号線、該走査線と該信号線の交点にはスイッチング素子と画素電極が形成されてなり、フレーム毎に画像表示信号が画素電極に供給されてなる液晶表示装置において、1フレームの周期内で画素単位若しくは走査線単位で位相を反転したことを特徴とする液晶表示装置。

(2) 前記画素単位で極性の方向を切り換え、1フレーム内の画像表示信号が正極性と負極性の両方の信号となるように選択し、各画素の交流周期を1フレーム単位とすることを特徴とする請求項1記載の液晶表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、マトリクス型の液晶表示パネルによるテレビ等の画像表示装置に関する。

〔従来の技術〕

液晶の電気光学効果を利用して各種の表示装置が考案、或は実用化されている。これらは、液晶分子の配向特性、誘電異方性、光学異方性等の組み合わせによるもので、一般的な通称としてDSM、TN、GH、等の呼び名がある。これら液晶の共通の特徴として、受光型の表示効果を有する事、比較的高抵抗である事、表示特性における閾値が各パラメータに対して緩慢或は不安定である事、等が挙げられる。ここで受光型及び高抵抗である点は、液晶が他の表示体に比較して優位とされ、表示体として実用化される所以であるが、逆に、閾値特性が他の表示素子より劣り、液晶の駆動条件を複雑、難問化させている。更に、直流駆動に対する寿命が短い点も、駆動条件を難しくする要

図となっている。

第1図は、従来の実施例を示す表示パネル周辺の回路図で、例えば文献S I D 7 7 D I G E S T P 6 4 ~ 6 5 等に実施例が見られる。図中、2-1はテレビ映像信号等の画像信号入力、2-2は同期分離信号、2-3は同期分離信号よりタイミングクロック等の制御信号を発生する回路である。2-4、2-5はマトリクス表示部の縦線或は横線を制御して各マトリクス画素に表示信号を分配走査する回路である。2-4は2-1から入力される並列画像信号を並列変換して各画素に直列接続したトランジスタのドレイン側に供給してやるドレイン駆動回路。2-5は、2-3出力クロックにより各画素に直列接続したトランジスタのゲートをライン毎に順次ON、OFF制御して、画像信号を画素に読み込ませるゲート駆動回路である。各マトリクス部に配置されたトランジスタの出力側ドレイン2-6は、液晶表示体の各画素電極に結合されている。文献S I D 7 8 D I G E S T P 9 6 ~ 9 7 に述べられている如く、従来

第1図の回路によるマトリクス表示にあっては、液晶駆動は直流駆動になるものであった。第1図にあっては、液晶マトリクス表示体の液晶を挟む電極の内各画素電極に対向した電極は、全表示面にわたって共通電極から成り、電位はGNDレベルにとられていてMOSトランジスタのサブストレート及び並列に配置されたキャパシタの共通側電極電位と一致する。この為、液晶材料には直流寿命を長く保つ目的で、酸化還元剤をドーブする等の処理が必要とされた。

ここで、第1図の回路における信号の波形と電位の関係を第2図に示す。3-1は端子2-1に供給される画像信号であり、3-2はブロック2-4において画像信号を各マトリクスのデータ線毎にサンプリングする際の同期信号である。横軸tは時間、縦軸Vは電圧を表わす。3-3は画像信号の黒レベル、3-4は白レベルを表わし、液晶の閾値電圧と飽和電圧にそれぞれ相当する。電圧0は第1図のGNDに相当し、基板及び共通電極電位である。

更に本発明に関連する別の従来回路例を第3図に掲げる。具体的にはS I D 7 8 D I G E S T P 9 4 ~ 9 5 等に実施例が見られる。第3図中、4-1は第1図2-1に対応し、画像信号入力である。4-2はローパスフィルター、4-3は増幅器、4-4はA/D変換器、4-5はデータエンコード、4-8は直列並列変換シフトレジスタである。画像信号入力4-1はローパスフィルター、増幅器を経て該表示パネルの表示性能に対応した帯域の画像信号に変換された後、A/D変換器によってデジタルコード変換される。4-8は被変換画像デジタル画像データをマトリクスの各データ線に並列出力する。並列出力データは各データ線毎に設けられたD/A変換器に入力されてアナログ画像信号に復帰される。この際、D/A変換器出力信号の利得は、利得制御回路4-9によって制御され、液晶の(電圧-コントラスト)相関特性と画像信号のコントラストが一致する如く調整される。更にD/A出力はバッファ増幅器4-12に入力される。4-12はオフセ

ットバイアスレベル調整回路4-10により画像信号の基準レベルが液晶の閾値付近に対応する如く調整して画像信号がデータ線に出力する。4-6は同期分離回路、4-7はタイミング信号発生回路、4-13はマトリクス表示部のクロック線を制御する回路で、2-5に対応する。4-16は表示マトリクス部であり、構成は第1図中2-7に等しい故、図を省略してある。第3図に示す回路例にあっても第1図と同様に、液晶駆動は直流で行なわれている。又、第3図では、マトリクス表示部のデータ線に供給される画像信号に対し利得制御回路4-9とオフセットバイアスレベル制御回路4-10とが、信号レベルを液晶表示体の特性に適合させる事を可能にしている。

〔従来技術の問題点〕

上述のような従来の回路にあっては、各データ線毎に利得調整するD/A変換器とオフセット調整するバッファ増幅器とを設けて、それぞれを同一の制御信号線によって調整するものである。従って、第3図からも明らかな如く、データ線数に

等しい数のD/A変換器とバッファ増幅器を必要とし、データ線駆動回路が極めて複雑となる。更に、各D/A、或はバッファを構成する増幅器は、利得その他の増幅特性が一致していなければならない。無調整状態で各増幅器の特性が一致する事は素子製造上不可能に近く、従って予め、増幅器毎に調整をしなければならない。

〔発明の目的〕

本発明は、係る従来の欠点を改良して、液晶の表示性能を十分に活かした画像表示装置を提供するものである。本発明によれば、文献Display conf. 1976 P51のいわゆるダイナミック駆動方式に比較してマトリクス走査線数を大幅に増しても、液晶の表示コントラスト性能を少しも損なわず、又、表示駆動に要する印加電圧も高くなる事は無い。更に、画面のちらつき（いわゆるフリツカ）が発生することもない。又、本発明は液晶を交流駆動するものであるから、液晶の寿命を長く保つ事が可能であり、酸化還元剤等の添加物を混入する必要もなくなる。本発明

を実施する回路にあっては、第3図に比較し大幅に簡略化され、且つコントラスト、明るさ等の調整についても極めて容易に行なえるもので、実用性が高く、第2図の如きバラツキの要因を持たない。

〔実施例〕

第4図は、本発明になる液晶画像表示装置を用いてテレビジョン受像機を構成した場合の全体図を示すブロック図である。図中、5-1はアンテナより入力される受信電波より所定のチャンネルの周波数を選択するチューナ部である。5-2は中間周波増幅器から映像検波に至る回路、5-4は音声中間周波、検波、出力等の回路、5-5は映像信号より水平、垂直等の各同期信号を分離する回路である。5-3は本発明に係る映像増幅回路ブロックで、後段のマトリクス表示部データ信号ラッチ回路5-8に、液晶表示画像信号を出力する。5-9はデータ線駆動回路である。5-6、5-7は、同期信号分離回路5-5の出力を受けてそれぞれ5-8にデータラッチ信号を、5

5-10にマトリクス表示部クロック線（横線）駆動用のタイミング信号を供給する。5-11は電源で、共通電極5-13（一点鎖線）に対しては後述の共通電極電圧を供給する。5-12はマトリクス型の液晶表示パネルを要し、その詳細は第5図の如くなる。6-1はゲート駆動回路、6-2はドレイン駆動回路で、マトリクス表示部の各画素6-3毎に画素電極に画像信号を選択的に供給するトランジスタが供給されている。各トランジスタの出力が結合する画素の電極はすべて、液晶を挟む1対の平板の内の片方の平板にあり、各電極は、当該電極が配置されている平板上では一応電気的に分離独立している。液晶を挟む平板の内、上記平板に対向する平板上には、表示部全体にわたって単一の共通電極が設けられている。ここで各トランジスタの基板電位と各画素毎に設けられているキャパシタの片側電極電位は共通してGND電位に一致しているが、液晶表示部共通電極電位6-4はGND電位でない。第4図の如く、トランジスタ及びキャパシタを各画素毎に

構成した一例について、その部分図を第6図、第7図に示す。

第6図は、液晶を挟む1対の平板の内画素毎に分離されマトリクス配列した電極がある側の平板の断面図である。図中、7-1はシリコン基板である。7-2は、7-1とは反対導電型の拡散層であり、7-3は7-1と同じ導電型の拡散層であり、ストッパ及びキャパシタの電極として働く。又、7-4はゲート酸化膜であり、その膜厚は400~2000 程度である。7-5はポリシリコンであり、7-5(a)はMOSトランジスタのゲート電極、7-5(b)はキャパシタの電極である。7-6はフィールド酸化膜、7-7は絶縁膜、7-8はアルミニウム電極である。第6図にあっては、各画素をスイッチングするトランジスタは、シリコンゲートMOSトランジスタにて構成されており、又、液晶の各画素と並列に配置したキャパシタの電極は、シリコン基板自体とポリシリコン7-5(b)となる。この場合、シリコン基板はGND電位に保持され、第6図に

示す如く、キャパシタの片側電極とトランジスタの基板電位は一致してGNDレベルとなる。

第7図は、マトリクス状に配置された駆動回路の平面図を示すもので、図中のA-A'断面図が第6図に相当する。図中、8-2から8-8までそれぞれ7-2から7-8に対応する。又、第7図には、第6図中のドレイン電極7-8(b)は図が複雑にならない様省略してある。第7図において画素は、二点鎖線で示す領域である。従って液晶に電圧を印加するいわゆる画素電極は、トランジスタ或いは縦横に走る信号線8-5(a)、8-8(a)等と絶縁された形で、第7図のパターンの上側にほぼ二点鎖線の如く配置される事になる。先述した通り7-1はモノリシックなシリコン結晶基板であるが、第5図の回路を構成する方法は、他にも色々あり、例えば、薄膜技術もその一つとして挙げられる。第5図において各トランジスタはMOSFETで構成されているが、他のスイッチング素子であっても構わない。

次に、本発明になる信号の波形の例を第8図に

示す。図中、9-1及び9-2は、共に画像信号である。9-6に示す一点鎖線は、液晶マトリクス表示体部共通電極側電位を示し、液晶の各マトリクス画素電極に印加される画像信号の電圧極性は、或る周期で反転を繰り返す。例えば、テレビ放送用画像信号であっては、一画面の映像信号を1フレームとし、更に1フレームを二つのフィールドに分離して、各1フィールド毎に画面の飛び越し走査を行なっている。ここで第8図において、例えば9-1は、第1及び第2フィールドを含めた1フレームの画像信号の内の1水平走査線に相当するものとする。そして9-2は、前記1フレーム分の信号に続く次の1フレーム分の画像信号の内の同じ表示部分に対応する画像信号である。9-3は画像サンプリング同期信号であり、9-4に示す期間がマトリクス表示パネルを横方向に表示画素1本分を表示する期間に相当する。9-5はテレビ画像信号の水平掃線期間に相当する。第8図縦軸において、0電位、即ち9-11を、例えば表示体基板7-1の電位とし、9-10を

9-11に対応する表示体部回路電圧とする。この場合、第5図の各画素毎に配置されるスイッチ用トランジスタは、例えばPチャンネル型のエンハンスメントMOSFETで構成できる。9-10を基板7-1の電位にとる場合は、前記スイッチ用トランジスタをN型のMOSで構成すればよい。

画像信号9-1の振幅は、波線9-7から波線9-8の間にある。9-7は画像信号の黒、9-8は白に対応する。信号の直線性については、液晶の印加電圧と表示コントラストの相関特性によって補正された増幅器を介在させる事により、原画像信号の直線性が液晶によって歪められない様にすればよい。画像信号9-1と9-2を交互に各液晶表示画素電極に印加する目的は、液晶を交流駆動する事によって表示体寿命を長くする事にある。交流信号に変換して液晶を駆動する際、液晶の交番電圧駆動に伴う表示画像のちらつきが生ずる。これは印加電圧極性の反転に応じて液晶分子の電気的双極子の向く方向も変化するからであ

る。ちらつきを減ずる、或は実効的に無視できる様にする方法として、以下の方法が考えられる。即ち、眼が応答するよりも速い周期で、位相を反転させればよい。

(1) フレーム周期で位相を反転し、該フレーム周期を略30Hz或はそれ以上にする。

(2) 1フレームの期間内で画素単位若しくは走査線単位で位相を反転し、実効的反転周期を高くする。

更に、上記の応用により様々な方法が考えられる。テレビ画像をマトリクス表示する場合には、マトリクス構成する画素数を、テレビ映像信号の実効的画素数(或は分解能)より少ない数で実現しようとする場合がある。この時、例えばテレビ映像信号の1フィールド(1/2フレーム)分のマトリクスで液晶画像を構成すれば、第1フィールドと第2フィールド分の信号をそれぞれ位相反転し、同一画素に2フィールド分の信号を60Hzの周波数で表示する事が可能となる。画質としての分解能は減ずるが、原画像の差に伴うちら

つきは液晶自体の応答性能によって打消され、第1フィールドと第2フィールドの平均的な画像が表示される。更に(2)の方式であって、画素単位で極性の方向を切り換え、1フレーム内の画像表示信号が正極性と負極性の両方の信号となる様に選択し、各画素の交流周期を1フレーム単位とすれば、増幅器の直線性、或は各画素に設けられたトランジスタのスイッチング特性の直線性が、動作電圧幅(9-11から9-10の範囲)において十分に得られない場合でも、表示効果の点から見た非直線性が実効的に無視できる事になる。

共通電極電位は、波形9-1と波形9-2に対して9-6(a)と9-6(b)の如く変えて設定する。即ち、液晶を駆動する信号の極性反転周期で共通電極電位を9-6(a)と9-6(b)の間で交番させる。

上記の本実施例の効果について以下に詳述する。第9図(a)に示す如く、従来の駆動方法は、固定の共通電極電位 V_{c1} に対し、映像信号 V_{s1} をフィールド毎に極性反転していた為、映像信号用の

電源電位として V_{s1} のレベルを必要とし、かつトランジスタのゲート電位として V_{o1} のレベルを必要としていた。

これに対し、本実施例にあっては、第9図(b)に示す如く共通電極電位をフィールド毎に V_{c1} 間で2レベルの電位でふるせることとしたから、映像信号 V_{s1} をフィールド毎に極性反転したとしても、映像信号用の電源電位は上記 V_{s1} より半減された V_{s2} のレベルでよく、さらに、トランジスタのゲート電位は上記 V_{o1} より半減された V_{o2} でよい。

又、一般にトランジスタは、第9図(c)に示す如く、寄生容量 C_1 、 C_2 を有する。このような容量結合によって以下の様なオフセット電圧 ΔV が液晶電極に発生する。

$$\Delta V = V_c \cdot C_1 / (C_1 + C_2)$$

C_1 は液晶の容量である。

この電圧 ΔV は、常に一方向であるから、液晶に印加される信号は、フィールド毎に見かけ上非対称となる。この非対称性により、いわゆるフリ

ッカ(ちらつき)が発生する。オフセット電圧 ΔV は上式よりゲート電圧 V_g に依存する為、 V_g が低ければ低い程、フリッカはめだたなくなる。このような問題に対し、本発明にあっては、上述した如く、従来に比べゲート電圧を大幅に低減できる為、このフリッカをめだたなくさせる効果を得ることができる。以上の如く電位設定及び画像信号の反転をすれば、液晶表示体部駆動回路の動作電圧、若しくは電源電圧を液晶駆動に必要な電圧 $V_s + \alpha$ 程度にして交流駆動を可能とするものである。ここで α の要素としては、第5図駆動回路トランジスタのスレッシュホールド電圧とトランジスタON時のチャンネル抵抗値がある。サンプリング周期内で確実に画像に対応する信号を書き込む為に、ドレインの信号レベルに対しゲート電圧レベルをスレッシュホールド電圧以上にとる必要がある。ゲート電位9-10に対してドレイン電位が9-8(a)の時と9-8(b)の時では、画像信号書き込みの応答速度に差が生ずる。この為本発明では、9-6(a)又は9-8(b)に対し

9-10の電位をトランジスタのスレッシュホールド電位の2倍以上に設定する事を提案する。特に、テレビ映像信号を本発明に係る液晶表示装置に出力する時、1水平走査信号時間は63.5 μ secであり、この内掃線時間は10 μ sec程度である。従って、各画素への書き込み時間は10 μ secの掃線時間内に取り、約数 μ sec程度に限定される。従来、例えば公開特許公報50-10993Fig. 10に示される如く、2-4のドレイン駆動回路を並列に2回路設け、一方の回路にデータをサンプリングしている期間中に、他方の回路の既にサンプリングされているデータを画素に書き込ませる方法があった。この場合、書き込み時間は63.5 μ secである。

本発明にあっては、データサンプリングドレイン駆動回路6-2は各出力に対して一つのサンプリング回路で済ませる事により、回路を簡略化するものである。この為に前述した如くゲート印加信号電圧を大きくしてやり、入力画像信号レベルの違いによって書き込みの際に誤差が生じない事、

及び掃線期間内で画素データを正しく書き換えられる様にしてやるものである。トランジスタがPチャンネル型MOSの場合、ゲート印加信号電位若しくは回路電位を、ドレイン信号の最低レベルより更に少なくともトランジスタスレッショルド電圧の2倍以上低くなる如く設定する。NチャンネルMOSの場合は、逆に電位を高く設定する。

第10図は、上記説明を実現する回路の一実施例である。10-2、10-3、10-4は画像信号増幅器、10-5、10-7、10-8は第5図中ブロック6-2に相当する。10-6は切換スイッチ回路であり、10-6出力が、第5図6-8の画像信号入力となる。

以下、動作を説明する。10-1は原画像信号入力、10-2は序段増幅器で、10-9に増幅率調整端子がある。10-3、10-4は差動増幅器である。10-3の正極性入力端子と10-4の負極性入力端子に、同一の信号即ち、10-2出力を結合する。10-3負極性入力端子と10-4正極性入力端子とは結合させて、10-1

0に端子がでている。10-3及び10-4は、増幅器としてはほぼ同一の特性が得られる様に、予め設定されている。10-10端子は、液晶による表示画像の明度を調整する為の端子で、可変直流電圧が印加されている。例えば10-3、10-4の各出力信号は、第8図9-1及び9-2にそれぞれ対応する。この時、10-9は9-8と9-7との差分、即ち振幅、換言すれば表面画像のコントラストを調整する。10-10は9-7と9-6との差分を調整する。10-3(10-4)の利得は適宜設定すればよい。10-6はスイッチ回路であり、前述の如く液晶に交流駆動信号を供給する際に、10-3及び10-4の各出力信号を切り換え、選択的に出力してやる回路である。スイッチ素子としては、バイポーラ或はMOS等のトランジスタその他各種の方式が考えられるが、第5図の如く表示基板に半導体を用い該半導体基板内部にブロック2-4を収める場合には、10-6も同様の構造で作る事が望ましく、いわゆるトランスミッションゲート等の構成が挙

げられる。段階の回路10-7も同様である。10-5は各スイッチ素子10-7を制御する信号を順次、例えば左から右に発生する回路で、シフトレジスタで構成される。10-8はスイッチによりサンプリングされた画像サンプリング信号を記憶保持し、各画素電極に分配する為の回路である。10-8以降は、駆動部を含めた液晶マトリクス表示体部、即ち第4図に相当する。

第11図は、更に別の実施例である。第11図は、第10図中10-2、10-3、10-4の増幅器の構成を変えたものである。11-1と11-2は振幅がほぼ一致し、極性の相反する画像信号である。図中、上側の増幅回路(トランジスタ11-3、11-5)と下側の増幅回路(トランジスタ11-13、11-14)とは、回路の構成及び増幅特性が一致する如く設計されている。11-4、11-8は増幅系の利得制御使用可変抵抗であって、液晶表示画像のコントラスト調整をする。11-4、11-8は波線に示す11-10によって連動し、外部から手動で調整できる。

11-7、11-9は出力電位レベルを制御する、即ち液晶画像表示の明度を変える可変抵抗であり、波線11-11によって連動し、外部から手動で調整できる。但し、11-7と11-9とは電位レベルが反対方向に動作し、各々の出力は第9図9-1と9-2の如くレベル9-6を中心に対称性が維持される。11-12は第10図10-6に相当する画像信号極性切換スイッチ回路である。

本発明は、実施例として挙げた回路以外の構成によっても実現可能である。更に、コントラスト、明度の調整は、上記の如く手動で制御する事も、又、液晶の表示度合を基準パターン表示信号レベルに対応させて自動的に光検出し、利得或はバイアスレベルを自動制御する事も当然可能となる。本発明の実施例の説明では、第5図の如くシリコン基板を液晶を挟む一方の平板に利用し、且つ、シリコン基板内にトランジスタを構成してあるが、他に例えば、多結晶材料による薄膜技術等によって、ガラス基板上に各素子を構成する、或はその他の方法によって実現可能である。第4図におい

て、各画素をスイッチングする為に設けたトランジスタは1個のMOS型トランジスタであるが、素子の直線性、或は応答速度、動作電圧等を改良する為に、P型及びN型の2種類のMOSFETを相補型に結合してスイッチングを行なう事もできる。勿論、MOSFET以外の素子で構成する事も可能である。

第4図において、液晶各画素と並列にキャパシターを配置してあるが、この場合、先に述べた如くキャパシターの両電極は液晶画素電極を完全に並列に結合されるものではなく、共通電極側電位をそれぞれ別々に設定してある。これは、第5図の構造をとる事によってキャパシターの共通側電極を基板で代用できるからである。この際、液晶画素に印加される画像信号に応じてキャパシターに加わるバイアス電位の極性並びに大きさは、液晶画素電極のバイアス電位と異なるが、表示に係る実効的な電気特性としては、第1図に示した場合と同じ効果を有するものである。

本発明に係る表示装置に使用する液晶について

は、TN型液晶を説明しただけであるが、最初に述べたDSM、GH、その他の液晶についても基本的に動作性能が変わるものではない。

(発明の効果)

上述の如く本発明は、一対の基板間に液晶が封入され、該基板の一方の基板上には共通透明電極が形成され、該基板の他方の基板上にはマトリクス状に配列された複数の画素電極が形成され、該画素電極にはスイッチング素子が接続されてなる液晶表示装置において、画像表示信号のフィールド周期と同期して該画素表示信号の極性を反転し、該極性反転された画像表示信号を該画素電極に供給する画像表示信号発生手段と、該フィールド周期と同期して反転する2レベルの電圧を発生し、該反転する2レベル電圧を共通電極信号として該共通電極に供給する共通信号発生手段とよりなり、該フィールド周期は該画像信号のフレーム周期の1/2以下の周期であるようにしたから、液晶の表示駆動に要する電圧を従来の半分以下としたとしても液晶の表示品質を損なうことなく良好な

表示を得ることができる。又、画像信号及び共通信号の反転タイミングをフレーム周期の1/2以下の周期を有するフィールド周期で行なうようにしたため、反転による画像のずれや、交番駆動に伴う画面のちらつきも生ずることもなく、長期に安定した画像を得ることができる効果を有する。

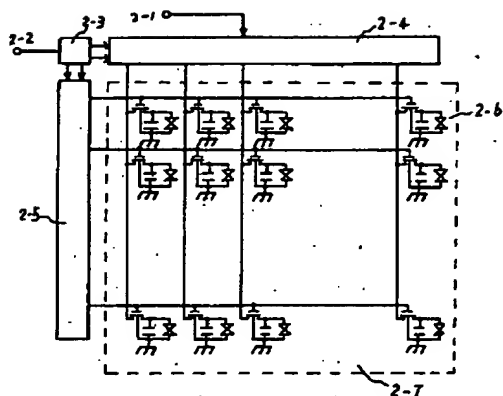
4. 図面の簡単な説明

- 第1図は、従来の表示回路図。
- 第2図は、従来の信号図。
- 第3図は、別の従来の表示回路図。
- 第4図は、本発明の一実施例を示すブロック図。
- 第5図は、本発明になる表示回路図の例。
- 第6図は、表示装置の部分断面図の例。
- 第7図は、第6図の平面図。
- 第8図は、本発明の実施例における信号波形図。
- 第9図(a)～(c)は、従来の本発明の信号波形比較図及び構成回路図。
- 第10図及び第11図は、本発明の実施回路図。

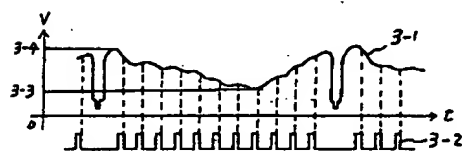
- 5-12・・・マトリクス表示部
- 7-1・・・シリコン基板
- 8-8(a)・・・マトリクス表示駆動用データ線
- 8-5(a)・・・マトリクス表示駆動用クロック線
- 8-5(b)・・・キャパシター電極
- 3-1、9-1、9-2
- ・・・画像信号
- 10-2・・・画像信号増幅器
- 10-3、104・・・差動増幅器

以上

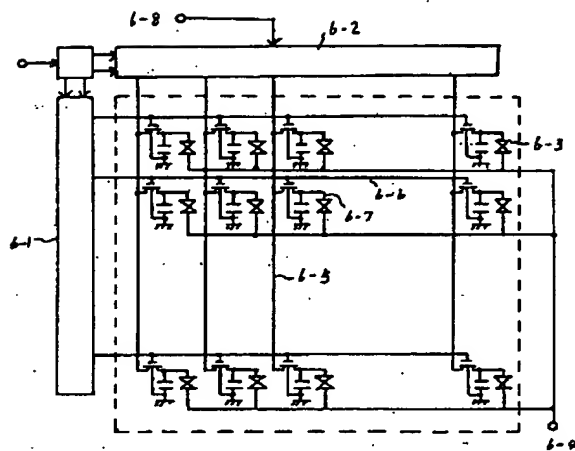
出願人 セイコーエプソン株式会社
代理人 弁護士 鈴木喜三郎 (他1名)



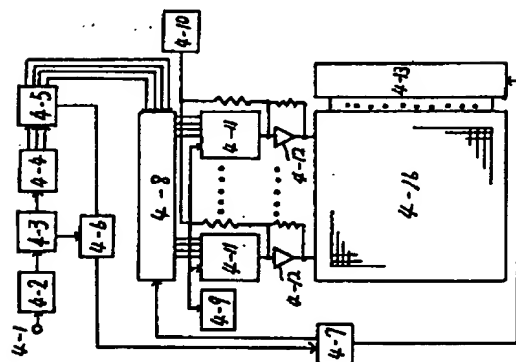
第 1 図



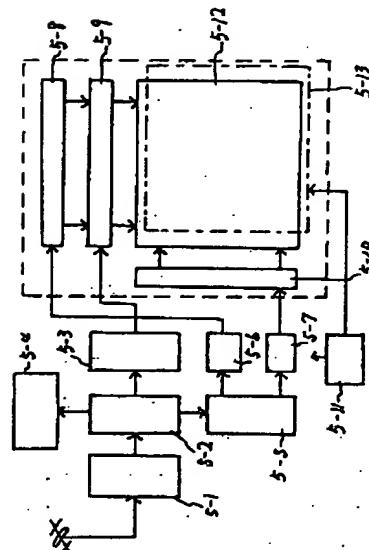
第 2 図



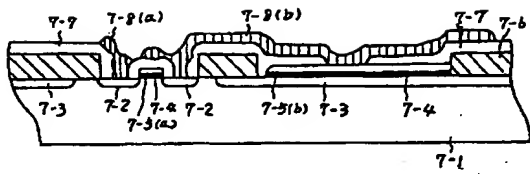
第 5 図



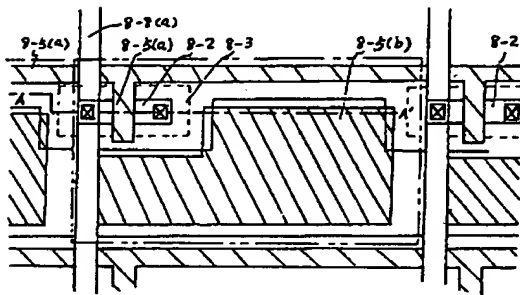
第 3 図



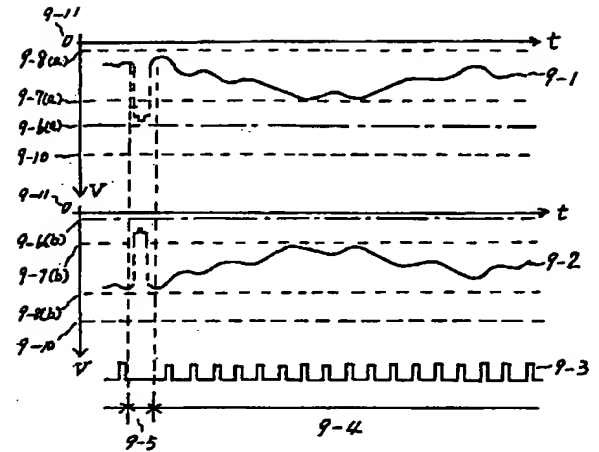
第 4 図



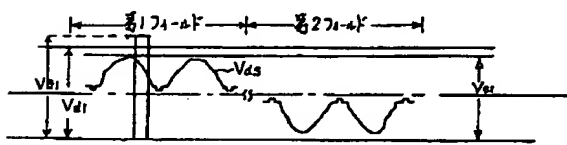
第 6 図



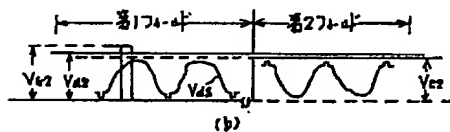
第 7 図



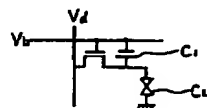
第 8 図



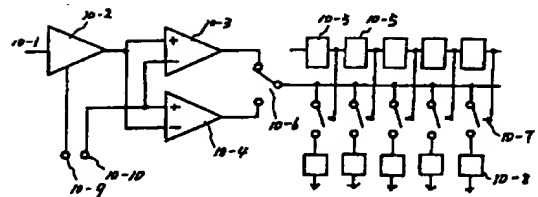
(a)



(b)

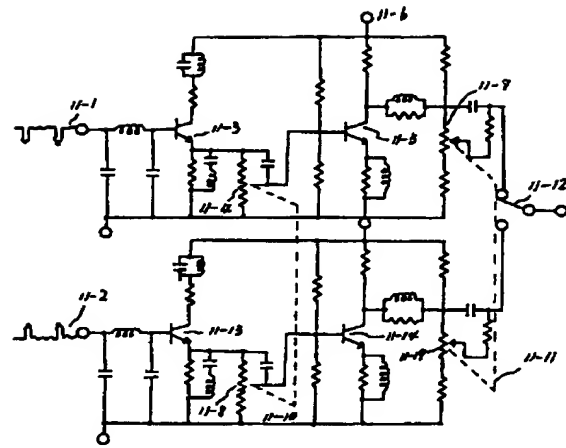


(c)



第 10 図

第 9 図



第 11 図